

009657412 **Image available**

WPI Acc No: 1993-350964/199344

XRPX Acc No: N93-270742

TTL to CMOS translating input buffer circuit with dual thresholds for high dynamic current and low static current - has expanded input stage which switches data signal voltage levels at a lower TTL first threshold voltage level and switches the enhancing pull-up current at a higher specified second threshold voltage level

Patent Assignee: NAT SEMICONDUCTOR CORP (NASC)

Inventor: THURSTON B W

Number of Countries: 004 Number of Patents: 005

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
US 5256916	A	19931026	US 92838394	A	19920218	199344 B
FR 2687518	A1	19930820	FR 931737	A	19930216	199345
JP 6053813	A	19940225	JP 9380015	A	19930218	199413
TW 222360	A	19940411	TW 92110304	A	19921223	199420
JP 3120920	B2	20001225	JP 9380015	A	19930218	200102

Priority Applications (No Type Date): US 92838394 A 19920218

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
US 5256916	A		14	H03K-019/20	
FR 2687518	A1			H03K-019/017	
JP 6053813	A			H03K-019/0185	
TW 222360	A			H03K-017/12	
JP 3120920	B2	15		H03K-019/0185	Previous Publ. patent JP 6053813

Abstract (Basic): US 5256916 A

A TTL to CMOS translating input buffer circuit receives TTL input data signals at an input (VIN) and delivers CMOS data signals at an output (VOUT). The input buffer circuit is provided with an expanded first stage with expanded pull-up circuit (P1) and pull-down circuit (N1) having control gate nodes coupled to the input (VIN). The pull-up and pull-down circuits (P1,N1) are constructed to provide dual switching thresholds at the input (VIN). A first stage output pull-up and pull-down circuit (P1R,P1L,N1L) switches at a relatively lower first threshold voltage level and a pull-up enhancer circuit (P1E,I3,I4) switches at a relatively higher second threshold voltage level.

The pull-up and pull-down circuits (P1,N1) of the expanded first stage are constructed for switching dynamic current at an output node (m1) at the relatively lower first threshold voltage level for data signal transitions between high and low potential levels at the output node (m1). The pull-up enhancer circuit (P1E,I3,I4) switches static

current (ICCT) through the output node (m1) at the relatively higher second threshold voltage level to reduce static current (ICCT) during a static low potential level data signal (L) at the output node (m1). The expanded pull-up circuit (P1) incorporates a static current restricting first pull-up transistor (P1R), a dynamic current enhancing second pull-up transistor (P1E) coupled in parallel with the first pull-up transistor (P1R), and at least one pull-up current summing third pull-up transistor (P1L, P1LA, P1LB) coupled to the output node (m1).

USE/ADVANTAGE - Applicable to both CMOS and combined bipolar and CMOS (BICMOS) circuits. Provides new input buffer circuit with expanded input stage having enhanced dynamic pull-up current during LH transitions at intermediate output node in response to HL transitions at input to increase switching speed. Channel dimensions and channel width ratios of input buffer circuit input stage CMOS transistors may be scaled and selected for programming a wide range of circuit operating parameters according to circuit applications.

Dwg. 2A/7

Title Terms: TTL; CMOS; TRANSLATION; INPUT; BUFFER; CIRCUIT; DUAL; THRESHOLD; HIGH; DYNAMIC; CURRENT; LOW; STATIC; CURRENT; EXPAND; INPUT; STAGE; SWITCH; DATA; SIGNAL; VOLTAGE; LEVEL; LOWER; TTL; FIRST; THRESHOLD; VOLTAGE; LEVEL; SWITCH; ENHANCE; PULL; UP; CURRENT; HIGH; SPECIFIED; SECOND; THRESHOLD; VOLTAGE; LEVEL

Derwent Class: U21

International Patent Class (Main): H03K-017/12; H03K-019/017; H03K-019/0185; H03K-019/20

International Patent Class (Additional): H03K-019/0175

File Segment: EPI

?

特開平6-53813

(43) 公開日 平成6年(1994)2月25日

(51) Int. Cl. ⁵

H03K 19/0185

識別記号

8941-5J

F I

H03K 19/00

101

B

審査請求 未請求 請求項の数25 (全12頁)

(21) 出願番号 特願平5-80015

(22) 出願日 平成5年(1993)2月18日

(31) 優先権主張番号 838394

(32) 優先日 1992年2月18日

(33) 優先権主張国 米国 (US)

(71) 出願人 592258052

ナショナル・セミコンダクタ・コーポレイ
ション

NATIONAL SEMICONDUCTOR CORPORATION

アメリカ合衆国カリフォルニア州サンタ・
クララ、メール・ストップ16-135、ピー
・オー・ボックス58090、セミコンダクタ
・ドライブ 2900

(72) 発明者 ブライアン・ダブリュー・サーストン

アメリカ合衆国メイン州カンバーランド、
ロングウッズ・ロード 159

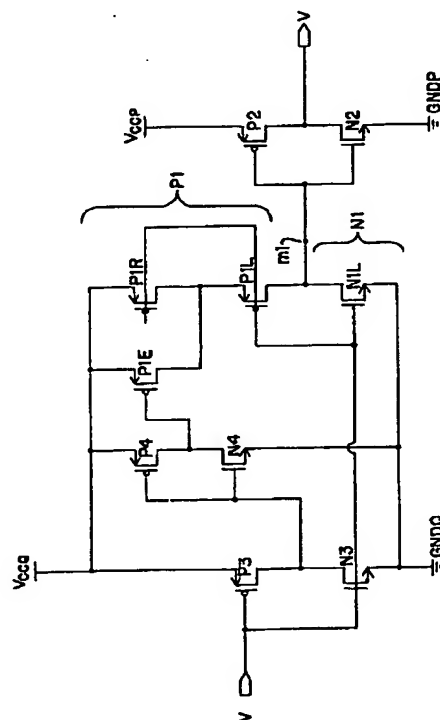
(74) 代理人 弁理士 竹内 澄夫 (外2名)

(54) 【発明の名称】 大ダイナミック電流と小スタティック電流のための二重しきい値電圧を有するTTLからCMOSへ移行する入力バッファ回路

(57) 【要約】 (修正有)

【目的】 高速かつ低消費電力のためのTTLからCMOSへ移行する入力バッファ回路を提供する。

【構成】 入力バッファ回路は、入力Vに接続されたゲート制御ノードをもつ拡大されたプルアップ回路P1と、プルダウン回路N1をもって拡大された第一ステージを有する。プルアップ及びプルダウン回路P1、N1は、入力Vにおいて二重スイッチしきい値電圧を与える。第一ステージ出力プルアップ及びプルダウン回路P1R、P1L、N1Lは、比較的低い第一しきい値電圧レベルでスイッチする。プルアップ強化回路P1E、I3、I4は、比較的高い第二しきい値電圧レベルでスイッチする。拡大された第一ステージのプルアップ及びプルダウン回路P1、N1は、出力ノードmlにおいて高と低電位レベルの間のデータ信号遷移のための、比較的低い第一しきい値電圧レベルで、出力ノードmlでのダイナミック電流をスイッチする。



【特許請求の範囲】

【請求項 1】 高(H) 電位と低(L) 電位のデータ信号を受け取る入力(V_{in}) と、データ信号を通す出力ノード(m1) を有するCMOSへ移行するTTL入力バッファ回路であって、

前記入力バッファ回路は、出力ノード(m1) へソース電流を流すため接続されたプルアップ回路(P1) と、出力ノード(m1) から流出電流を流すプルダウン回路(N1) を有する第一ステージから成り、

前記プルアップとプルダウン回路(P1, N1) は入力(V_{in}) に接続された制御ゲートノードを有し、

前記プルアップとプルダウン回路(P1, N1) は入力(V_{in}) において、二重しきい値電圧を与えるように構成され、出力ノード(m1) において、比較的低い第一しきい値電圧レベルでダイナミック電流をスイッチし、比較的高い第二しきい値電圧レベルでスタティック電流をスイッチするところに改良点がある入力バッファ回路。

【請求項 2】 比較的低い第一しきい値電圧レベルが実質的にTTL入力しきい値電圧レベルにあり、さらに比較的高い第二しきい値電圧レベルが実質的にCMOS入力しきい値電圧レベルにある、
ところの請求項 1 記載の入力バッファ回路。

【請求項 3】 プルアップ及びプルダウン回路(P1, N1) は、出力ノード(m1) においてデータ信号が高電位と低電位間を遷移するとき、比較的低い第一しきい値電圧レベルで出力ノード(m1) でのダイナミック電流をスイッチするために構成された第一ステージ出力プルアップとプルダウン回路(P1R, P1L, N1L) と、出力ノード(m1) においてデータ信号が静低電圧(L) である間スタティック電流(I_{ccr}) を減らすために比較的高い第二しきい値電圧レベルで出力ノード(m1) を通るスタティック電流(I_{ccr}) をスイッチするようなプルアップ強化回路(P1E, I3, I4) とから成る、

ところの請求項 1 記載の入力バッファ回路。

【請求項 4】 プルアップ及びプルダウン回路(P1, N1) がインバーステージから成る、
ところの請求項 3 記載の入力バッファ回路。

【請求項 5】 前記プルアップ回路(P1) はスタティック電流(I_{ccr}) を制限する比較的チャンネル幅の小さいPMOSである第一プルアップトランジスタ(P1R) と比較的大きい電流を流せる第二強化トランジスタ(P1E) から成り、
前記第一、第二プルアップトランジスタ(P1R, P1E) は高電圧パワーレール(V_{ccq}) に並列に接続された主電流パスをもち、

さらにプルアップ電流が合流する第三PMOSトランジスタ(P1L) は並列に接続された第一及び第二プルアップトランジスタ(P1E, P1R) と出力ノード(m

1) で直列に接続され、

前記第一、第二及び第三のプルアップトランジスタ(P1R, P1E, P1L) が実質上協調して動作するように接続されている、

ところの請求項 3 の入力バッファ回路。

【請求項 6】 第一及び第三プルアップトランジスタ(P1R, P1L) は入力(V_{in}) に接続された制御ゲートノードを有し、さらに電流強化第二プルアップトランジスタ(P1E) のゲート制御ノードと入力(V_{in}) との間に接続された電流強化制御回路(I3, I4) を含み、

前記制御回路(I3, I4) は、出力ノード(m1) においてLH遷移時はスイッチ速度をあげるため強化ソース電流(I_{se}) を流すよう第二プルアップトランジスタ(P1E) をONし、静低電圧レベル信号(L) の時は、スタティック電流(I_{ccr}) を減らすため第二プルアップトランジスタ(P1E) をOFFするように構成されている、ところの請求項 5 記載の入力バッファ回路。

【請求項 7】 電流強化第二プルアップトランジスタ(P1E) のチャンネル幅がスタティック電流を制限する第一プルダウントランジスタ(P1R) のチャンネル幅よりも実質的に大きく、
さらに第三プルアップトランジスタ(P1L) のチャンネル幅が第一、第二プルアップトランジスタ(P1E, P1R) のいずれよりも大きい、
ところの請求項 6 記載の入力バッファ回路。

【請求項 8】 電流強化制御回路は、第一及び第二プルアップトランジスタ(P1R, P1E) と実質上同位相で動作し、

第二プルアップトランジスタ(P1E) の動作中に小さなチャンネル幅を持つ相補形PMOS及びNMOSTランジスタ(P3, N3; P4, N4) を順番につないだインバーステージ(I3, I4) から成る、
ところの請求項 6 記載の入力バッファ回路。

【請求項 9】 電流強化制御回路の相補形PMOS及びNMOSTランジスタ(P3, N3; P4, N4) は、入力(V_{in}) に比較的高レベルの第二しきい値電圧が負荷されたとき、電流強化第三プルアップトランジスタ(P1E) をスイッチするためにPMOS及びNMOSのチャンネル幅比を選んで形成されていて、

さらに、プルダウン回路(N1) は、入力(V_{in}) に比較的低レベルの第一しきい値電圧が負荷されたとき、出力ノード(m1) でのデータ信号電圧をスイッチする第一及び第三プルアップトランジスタ(P1R, P1L) とともに入力(V_{in}) に接続された比較的大きいチャンネル幅のプルダウントランジスタ(N1L) から成る、
ところの請求項 8 記載の入力バッファ回路。

【請求項 10】 CMOSプルダウン回路(N1) は、比較的大きいチャンネル幅のNMOSTランジスタ(N1L) から成り、

さらに、第一、第二及び第三プルアップトランジスタ (P1R, P1E, P1L) は、効果的チャネル幅の歪んだ (skewed) 比のために、プルダウントランジスタ (N1L) のチャネル幅より実質的に小さい効果的チャネル幅をもったプルアップトランジスタ (P1) と等価回路であるように選ばれている、

ところの請求項 8 記載の入力バッファ回路。

【請求項 1 1】 前記プルアップ回路 (P1) は、比較的小さなチャネル幅をもちスタティック電流

(I_{cc1}) を制限する PMOS 第一トランジスタ (P1R) と、比較的大きな電流を流せる電流強化第二プルアップトランジスタ (P1E) とから成り、

前記第一及び第二プルアップトランジスタ (P1R, P1E) は、高電位パワーレール (V_{ccq}) に並列に接続された主電流バスをもち、

さらにプルアップ電流の合流する PMOS 第三及び第四トランジスタ (P1LA, P1LB) は、出力ノード (m1) に並列に接続され、

前記第三プルアップトランジスタ (P1LA) は、第二プルアップトランジスタ (P1E) に直列に接続され、さらに、前記第四プルアップトランジスタ (P1LB) は第一プルアップトランジスタ (P1R) に直列に接続され、

前記第一、第二、第三及び第四プルアップトランジスタ (P1R, P1E, P1LA, P1LB) は実質上協調して動作するよう接続されている、

ところの請求項 3 記載の入力バッファ回路。

【請求項 1 2】 プルアップ回路 (P) の第二プルアップトランジスタ (P1E) は、第一及び第三トランジスタ (P1R, P1L) と実質上協調して動作する第二プルアップトランジスタ (P1E) のための比較的小さいチャネル幅の PMOS 及び NMOS トランジスタ (P3, N3; P4, N4) を含む相補形 CMOS トランジスタから成る少なくとも一つの CMOS プルアップステージを通して入力 (V_{in}) に接続されている、

ところの請求項 1 1 記載の入力バッファ回路。

【請求項 1 3】 電流強化制御回路の相補形 PMOS 及び NMOS トランジスタ (P3, N3; P4, N4) は、入力 (V_{in}) において比較的高い第二しきい値電圧レベル時に電流強化第二プルアップトランジスタ (P1E) を

スイッチするように、PMOS と NMOS のチャネル幅の比を選んで形成されていて、

さらにプルダウン回路 (N1) は、入力 (V_{in}) において比較的低い第一しきい値電圧レベル時に出力ノード (m1) のデータ信号の電位をスイッチするように第一、第三トランジスタ (P1R, P1L) とともに入力 (V_{in}) に接続された比較的大きいチャネル幅を持ったプルダウントランジスタ (N1L) から成る、

ところの請求項 1 2 記載の入力バッファ回路。

【請求項 1 4】 CMOS プルダウン回路 (N1)

は、比較的大きいチャネル幅を持った NMOS トランジスタ (N1L) から成り、

さらに第一、第二、第三及び第四プルアップトランジスタ (P1R, P1E, P1LA, P1LB) は、効果的チャネル幅の歪んだ比のためにプルダウントランジスタ (N1L) のチャネル幅より十分に小さい効果的チャネル幅をもったプルアップトランジスタ (P1) と等価回路であるように選ばれている、

ところの請求項 1 3 記載の入力バッファ回路。

【請求項 1 5】 それぞれのトランジスタのチャネル幅の寸法と CMOS トランジスタのチャネル幅の寸法の比は、第一しきい値電圧レベルが比較的低い TTL スイッチしきい値電圧レベルを構成するように選ばれている、

ところの請求項 1 4 記載の入力バッファ回路。

【請求項 1 6】 出力ノード (m1) に接続されたプルアップ及びプルダウン回路 (P1, N1) を有する入力バッファ回路の入力 (V_{in}) での入力信号の緩衝方法であって、

出力ノード m1 でのデータ信号の遷移のため比較的低い第一しきい値電圧レベルで出力ノード (m1) においてダイナミック電流をスイッチし、

スタティック電流 (I_{cc1}) を制限するため比較的高い第二しきい値電圧レベルで出力ノード (m1) においてスタティック電流をスイッチする、

ところの緩衝方法。

【請求項 1 7】 TTL 第一しきい値電圧レベルでダイナミック電流をスイッチし、また CMOS 第二しきい値電圧レベルでスタティック電流をスイッチする、

ことを含む請求項 1 6 の方法。

【請求項 1 8】 出力ノード (m1) において、LH 遷移時のスイッチ速度を増加させまた静低電位データ信号 (L) 時にはスタティック電流 (I_{cc1}) を減少させる TTL から CMOS に移行するための、入力 (V_{in}) での、高電位 (H) と低電位 (L) の入力データ信号を緩衝する方法であって、制限されたソース電流 (I_{s1}) を発生させ、

並列な別個の強化ソース電流 (I_{s2}) を発生させ、

増加されたスイッチ速度で出力ノード (m1) での LH 遷移をもたらすため出力ノード (m1) に強化プルアップ電流 (I_{s1}) を供給するよう制限ソース電流と強化ソース電流を組み合わせ、

さらに出力ノード (m1) での HL 遷移時には強化ソース電流 (I_{s2}) を OFF させ、

スタティック電流 (I_{cc1}) を減らすために出力ノード (m1) が静低電位データ信号 (L) の時は強化電流 (I_{s2}) を OFF のままに保つ、

ところの緩衝方法。

【請求項 1 9】 出力ノード (m1) において HL 遷

移させるため入力(V_{in})で比較的低い第一しきい値電圧レベルの際出力ノード(m1)から大きい流出電流を発生させ、

さらに入力(V_{in})で比較的高い第二しきい値電圧レベルの際に、強化電流(I_{se})をOFFさせる、

段階からなる請求項18の方法。

【請求項20】 第一スイッチしきい値電圧レベルが比較的低いTTLスイッチしきい値電圧レベルであり、第二スイッチしきい値電圧レベルが比較的高いCMOSスイッチしきい値電圧レベルである、ところの請求項19の方法。

【請求項21】 出力においてLH遷移をなす段階は、前記比較的低い第一スイッチしきい値の時出力ノード(m1)で流出電流をOFFする前に、前記比較的高い第二スイッチしきい値の時、強化ソース電流(I_{se})をONすることから成る、ところの請求項20の方法。

【請求項22】 高電位と低電位データ信号を受け取る入力(V_{in})とデータ信号を伝送する出力ノード(m1)を有するTTLからCMOSに移行する入力バッファ回路であって、

前記入力バッファ回路はソース電流用に出力ノード(m1)に接続されたプルアップ回路P1と、出力ノード(m1)から流出電流を流すために接続されたプルダウン回路(N1)を有する入力ステージから成り、

前記プルアップとプルダウン回路は、入力(V_{in})に接続されたゲート制御ノードを有し、

出力ノード(m1)においてスイッチ速度を上げるために遷移時に強化電流を流す一方で静低電位データ信号(L)の間はスタティック電流(I_{cc1})を制限すること

を改良点とし、

前記プルアップ回路(P1)は、比較的小さいチャンネル幅のスタティック電流(I_{cc1})を制限しているPMOS第一プルアップトランジスタ(P1R)と、比較的大きな伝導電流を流す強化第二プルアップトランジスタ(P1E)とから成り、

前記第一、第二プルアップトランジスタ(P1R, P1E)は、高電位パワーレール(V_{ccq})に並列に接続された主電流バスを有し、

さらにプルアップ電流が合流するPMOSプルアップトランジスタ(P1L, P1LA, P1LB)のうちの少なくともひとつが並列に接続された第一と第二プルアップトランジスタ(P1E, P1R)の少なくともひとつと直列に接続されていて、

前記第一プルアップトランジスタ(P1R)と、前記電流が合流するPMOSプルアップトランジスタ(P1L, P1LA, P1LB)の少なくともひとつが入力(V_{in})と接続されたゲート制御ノードを有し、

電流強化制御回路(I3, I4)は、入力(V_{in})と電流強化第二プルアップトランジスタ(P1E)のゲート制

御ノードとの間につながり、

前記制御回路(I3, I4)はスイッチ速度を増加させるため出力ノード(m1)においてLH遷移時に強いソース電流(I_{se})を伝送するよう第二プルアップトランジスタ(P1E)がONし、

出力ノード(m1)において低い静電位レベルのデータ信号(L)の間スタティック電流(I_{cc1})を制限するため第三プルアップトランジスタ(P1E)をOFFさせるように構成されていて、

10 前記電流強化制御回路は、第二プルアップトランジスタ(P1E)を動作させるため実質上第一、第二プルアップトランジスタ(P1R, P1E)と協調して動く比較的小さいチャンネル幅を持つ相補形PMOS及びNMOSTランジスタ(P3, N3; P4, N4)から順に成る、少なくともひとつのインバータCMOSステージから成る、ところの入力バッファ回路。

【請求項23】 電流強化制御回路の相補形PMOS及びNMOSTランジスタ(P3, N3; P4, N4)は、入力(V_{in})において比較的高い第二しきい値電圧レベルで電流強化第二プルアップトランジスタ(P1E)をスイッチさせるようにえられた、PMOSとMNOSのチャンネル幅比によって形成されていて、

さらに、プルダウン回路(N1)は、入力(V_{in})において比較的低い第一しきい値電圧レベルのときに出力ノード(m1)でデータ信号電位レベルをスイッチするために第一、第三プルアップトランジスタ(P1R, P1L)とともに入力(V_{in})に接続された比較的大きいチャンネル幅をもったプルダウントランジスタ(N1L)から成る、

30 ところの請求項22の入力バッファ回路。

【請求項24】 それぞれのトランジスタのチャンネル幅の寸法及び相補形CMOSTランジスタのチャンネル幅の寸法の比は、第一しきい値電圧レベルがTTLスイッチしきい値電圧レベル(V_{TTL})を構成するように、

また第二しきい値電圧レベルがCMOSスイッチしきい値電圧レベル(V_{Tcos})を構成するよう選ばれている、

ところの請求項23の入力バッファ回路。

【請求項25】 CMOSプルダウン回路(N1)は、比較的大きなチャンネル幅のNMOSTランジスタ(N1L)から成り、

さらに第一、第二、及び少なくとも一つの電流が合流するプルダウントランジスタ(P1R, P1E, P1L, P1LA, P1LB)がTTL第一しきい値電圧レベルを確立するためのチャンネル幅の歪み比のためにプルダウントランジスタ(N1L)のチャンネル幅より実質的に小さい効果的チャンネル幅のプルアップ回路(P1)と等価回路であるように選ばれている、

50 ところの請求項24の入力バッファ回路。

【発明の詳細な説明】

【 0 0 0 1 】

【産業上の利用分野】本発明は、TTL論理の高及び低電位レベルデータ信号を受け取るための入力とCMOS論理の高及び低電位レベルデータ信号を伝送するための出力を持つ新規な入力バッファ回路に関するものである。本発明は、スイッチ速度を増すために、入力でのHL遷移にตอบสนองして中間出力ノードにおけるLH遷移中に、強化されたダイナミックプルアップ電流を持つ、拡大された第一ステージを備える。本発明はまた、入力での定常高電位レベルデータ信号Hの間とそれに対応する中間出力ノードにおける定常低電位レベルデータ信号Lの間に、第一ステージを通して流れるプルアップ電流を制限することによって、スタティック電流 I_{ccr} を減少させる。拡大された入力ステージは低いTTL第一しきい値電圧レベルにおいてデータ信号電圧レベルをスイッチし、また高い特定の第二しきい値電圧レベルで強化プルアップ電流をスイッチする。拡大された第一ステージの中でプルアップ電流は並列及び直列に連結された多数プルアップトランジスタネットワークにより入力から制御される。二重しきい値入力バッファ回路パラメータは回路仕様に従って定め、プログラム可能である。

【 0 0 0 2 】

【従来の技術】第一及び第二CMOSインバータステージから成る従来技術である、CMOSへ移行するTTL入力バッファ回路が図1に示される。第一インバータステージP1、N1は、入力 V_{in} と中間出力ノードm1の間に接続されている。第二インバータステージP2、N2は、中間出力ノードm1と出力 V_{out} の間に接続されている。インバータステージP1、N1及びP2、N2は、高及び低電位パワーレール V_{cc} 及びGNDQの間に接続されている。例えば、5.0Vの高電位パワーレール V_{cc} 及び0Vの低電位パワーレールGNDQがCMOS論理の高及び低電位レベルを表している。

【 0 0 0 3 】典型的に2.0Vから2.4Vが高電位で、0.4Vから0.8Vが低電位であるTTLの高及び低電位データ信号が入力 V_{in} に与えられる。第一インバータステージのPMOSプルアップトランジスタP1と、NMOSプルダウントランジスタN1のそれぞれのチャンネル幅の比は入力 V_{in} において典型的に1.5VのTTLスイッチしきい値電圧レベルを備えるように歪んでいる。このTTLスイッチしきい値電圧を成し遂げるために、チャンネル幅の比P1/N1は典型的に1/4である。

【 0 0 0 4 】入力 V_{in} でのTTL高電位レベルデータ信号HへのLH遷移が、中間出力ノードm1において低電位データ信号Lを発生させるために、NMOSプルダウントランジスタN1を動作させる。しかしながら、TTL高電位信号Hは、中間ノードm1において定常低電位データ信号レベルLの間、P1およびN1を通して流れ

る不必要なスタティック電流またはクローバー (crowbar) 電流 I_{ccr} を発生させるPMOSプルアップトランジスタP1を、完全に停止させるには十分ではない。それゆえトランジスタP1はスタティック電流 I_{ccr} を浪費している望ましくない電力を満足出来る特殊なレベルに限定し制限するよう小さいチャンネル幅で形成されている。

【 0 0 0 5 】P1/N1のチャンネル幅の典型値は、例えばチャンネル長が等しい場合 $25\mu/100\mu$ である。この歪んだ比及び小サイズのP1チャンネル幅がスタティック電流 I_{ccr} を特殊なレベルに限定している間、中間出力ノードm1での低から高電位へのLH遷移は遅くなる。データ信号は、中間出力ノードm1において0Vと5.0VのCMOS論理パワーレール電圧レベルに達するが、速度の減少と、むだな電力浪費を伴う。

【 0 0 0 6 】中間ノードm1は標準的な比の範囲、例えば1/1から1/2のチャンネル幅を持つように選ばれている第二CMOSインバータP2、N2を動作させる。P2、N2のチャンネル幅の一例はたとえば、チャンネル長が等しいとして $150\mu/150\mu$ である。標準的な比のチャンネル幅を持った第二CMOSインバータステージP2、N2は例えば2.5VのCMOSしきい値電圧でスイッチし、出力 V_{out} においてCMOS論理への高及び低電位データ信号の正常な移行を完成させる。 V_{out} での出力信号は他のCMOSまたはBICMOS回路を動作させるのに有効である。

【 0 0 0 7 】

【発明が解決しようとする課題】従って、TTLからCMOSへ移行する入力バッファ回路の中の、第一インバータステージのプルアップトランジスタの、減少したチャンネル幅でのプルアップ電流パス（経路）の制限を解消することが、本発明の課題である。本発明の目的は入力でのHL遷移に応じた中間出力ノードのLH遷移中に、スイッチ速度を増加させるため強化されたダイナミックプルアップ電流を与えることである。

【 0 0 0 8 】同時にもう一つの発明の課題は、中間出力ノードでの定常低電位データ信号Lの間に第一ステージを通して流れるプルアップ電流を、減少後のスタティック電流が I_{ccr} の仕様に合うように制限することである。

【 0 0 0 9 】

【課題を解決するための手段】これらの結果を達成するため、本発明は拡大された第一ステージまたは入力ステージをもった、新規な入力バッファ回路を提供する。第一ステージは入力において二重入力スイッチしきい値電圧を持つよう構成されている。第一ステージの出力プルアップおよびプルダウン回路は、比較的低い第一しきい値電圧レベルでスイッチする。プルアップ強化回路は比較的高い第二しきい値電圧レベルでスイッチする。

【 0 0 1 0 】本発明の好適実施例により、拡大された第

一ステージの第一ステージ出力プルアップ及びプルダウン回路は、出力ノードにおいて高電位と低電位レベルの間でデータ信号が遷移するために出力ノードm1で比較的低い第一しきい値電圧レベル時にダイナミック電流をスイッチするよう形成されている。プルアップ強化回路は出力ノードm1において静低電位レベルのデータ信号の間、スタティック電流 I_{cc1} を減少させるために比較的高い第二しきい値電圧レベルで中間出力ノードm1を通るスタティック電流 I_{cc1} をスイッチするよう形成されている。比較的低い第一しきい値電圧レベルは実質上TTL入力スイッチしきい値に設定され、一方比較的高い第二しきい値電圧レベルは実質上CMOS入力スイッチしきい値に設定されている。

【0011】従って、一般的にいて、本発明は一つの出力ノードに接続された第一ステージ出力プルアップ及びプルダウン回路を持つ入力バッファ回路の入力において入力データ信号を緩衝する新規な方法を提供する。その方法は比較的低い第一しきい値電圧レベルで第一ステージ出力プルアップ及びプルダウン回路をスイッチする段階と、比較的高い第二しきい値電圧レベルでプルアップ強化回路をスイッチする段階を含む。

【0012】好適な本方法は、出力ノードにおいてデータ信号の遷移のため第一しきい値電圧レベルで出力ノードにダイナミック電流をスイッチすることと、スタティック電流 I_{cc1} を減少させるために第二しきい値電圧レベルで出力ノードにおいてスタティック電流をスイッチすることを企図する。第一ステージ出力プルアップ及びプルダウン回路はTTL入力スイッチ第一しきい値電圧レベルでスイッチするよう形成され得るし、またプルアップ強化回路はCMOS入力スイッチ第二しきい値電圧レベルでスイッチするよう形成され得る。

【0013】好適なとして、本発明は比較的小さいチャネル幅でスタティック電流を制限するPMOS第一プルアップトランジスタと、比較的大きい電流を導くダイナミック電流を強化する第二プルアップトランジスタを含んだ、拡大された第一ステージプルアップ回路P1を持ったTTLからCMOSに移行する入力バッファ回路を提供する。第一及び第二プルアップトランジスタは、高電位パワーレールに並列に接続された一次電流バスを持つ。プルアップ電流の合流するPMOS第三プルアップトランジスタは並列に接続された第一及び第二プルアップトランジスタと直列に中間出力ノードに接続されている。第一、第二及び第三プルアップトランジスタは入力バッファ回路中で実質上同位相で動作するよう接続されている。

【0014】本発明により、第一及び第三プルアップトランジスタは入力に接続されたゲート制御ノードを有し、第一ステージの出力プルアップ及びプルダウン回路の一部を形成している。本発明はまた、入力と電流強化第二プルアップトランジスタの間に接続された、ダイナ

ミック電流を増強しスタティック電流を減少させる制御回路を提供する。その制御回路はスイッチング速度を増加させるために中間出力ノードm1でのLH遷移の間、増強されたソース電流を伝送するため第二プルアップトランジスタをONさせるように構成されている。制御回路はまたスタティック電流 I_{cc1} を減少されるため中間出力ノードm1において静低電位レベルデータ信号Lの間、第二プルアップトランジスタをOFFさせるように構成されている。

【0015】好適例として、ダイナミック電流を増強しスタティック電流を減少させる制御回路は、第一及び第二インバータCMOSステージにより与えられる。インバータステージの制御回路は第一及び第二プルアップトランジスタと実質上同位相で動作し、第二プルアップトランジスタの動作を早めるための小さいチャネル幅の相補形PMOS及びNMOSトランジスタから成る。インバータステージの制御回路の相補形PMOS及びNMOSトランジスタのチャネル幅は、入力における比較的高い第二しきい値電圧レベルでスタティック電流を制御する電流強化第二プルアップトランジスタをスイッチするよう選ばれたPMOS及びNMOSのチャネル幅の比により形成されている。

【0016】入力ステージの出力プルアップ及びプルダウン回路は、比較的大きいチャネル幅のプルダウントランジスタによって与えられるプルダウン回路を含む。大きいチャネル幅のプルダウントランジスタは、中間出力ノードm1において比較的低い第一しきい値電圧レベル時に、データ信号電位レベルの遷移を起こさせるためのダイナミック電流をスイッチするため、第一及び第三プルアップトランジスタとともに入力に接続されている。

【0017】本発明の入力バッファ回路の第一ステージまたは入力ステージにおける二重しきい値電圧の特徴は、第二プルアップトランジスタを通る強化プルアップ電流が、データ信号電圧レベルのスイッチとは別に制御されているということである。ダイナミック電流を強化する第二プルアップトランジスタのチャネル幅または電流伝導能力は、スタティック電流を制限している第一プルアップトランジスタのチャネル幅より十分に大きい。第二プルアップトランジスタがOFFしている間は完全に第一プルアップトランジスタを通して流れるスタティック電流 I_{cc1} は特殊な許容レベルに制限されている。第三プルアップトランジスタのチャネル幅は中間出力ノードm1においてLH遷移の間強化されたプルアップ電流と制限されたプルアップ電流を連結するため第一、第二のいずれのプルアップトランジスタのチャネル幅より大きい。

【0018】本発明により入力バッファ回路の第一ステージの第一、第二及び第三プルアップトランジスタは、第一ステージプルダウントランジスタ回路N1のチャネル幅または電流伝導能力より十分に小さい効果的な

チャネル幅または電流伝導能力をもった、等価プルアップ回路P1を第一ステージプルアップ回路に対して与えるように選ばれている。たとえば1/4程度の、効果的なプルアップチャネル幅とプルダウンチャネル幅とのこの歪んだ (skewed) 比は、例えば1.5Vでデータ信号電圧レベルの遷移をおこなうためのダイナミック電流をスイッチするような希望のTTL第一スイッチしきい値電圧レベルを入力に与える。同時にインバータステージの制御回路の相補形PMOS及びNMOSトランジスタのチャネル幅の比は、例えばスタティック電流を制御するために2.5Vから3.4Vの範囲の高い特殊なしきい値電圧レベルで第二プルアップトランジスタを通して流れるダイナミック強化プルアップ電流をスイッチするよう選ばれている。

【0019】本発明によるこの入力インバータステージの有利な点は、電流強化第二プルアップトランジスタが、入力でのHL遷移に応じた中間出力ノードでのLH遷移のスイッチ速度を増加させるための、十分に増強されたプルアップ電流を与えるということである。同時にスタティック電流を制限している第一プルアップトランジスタは、中間出力ノードにおいて定常的低電位レベルの信号Lの間、スタティック電流を満足できる回路仕様に制限する。

【0020】本発明のもう一つの特徴は、入力ステージのプルアップ回路P1とプルダウン回路N1との効果的なチャネル幅比が、入力でのHL遷移に応じた中間出力ノードにおけるLH遷移のダイナミックなスイッチの間にほぼ標準的な歪み比1/4の値で動作する、という点である。さらに効果的なチャネル幅の絶対値は実質的に大きく、例えば、従来の入力インバータステージの絶対チャネル寸法より四倍も大きい、と言うのは伝播遅延の十分な減少とスイッチ速度の十分な増加のためである。しかしながら中間出力ノードにおいて定常低電位レベルデータ信号Lの間に、入力ステージのプルアップ回路とプルダウン回路の効果的なチャネル幅の比は、要求される回路仕様に合うようスタティック電流 I_{cc1} を抑制するため十分に小さく、例えば1/8から1/16の範囲の値で動作する。

【0021】本発明の利点は、入力バッファ回路の入力ステージのCMOSトランジスタのそれぞれのチャネル寸法及びチャネル幅比は、回路仕様に従った回路動作パラメータの大部分をプログラムするために計測し選択することが可能である点である。例えば、第一及び第二重しきい値電圧レベルは、一對の相補形PMOSとNMOSトランジスタのために選ばれたチャネル幅比に従って、また入力ステージプルアップ及びプルダウン回路P1、N1の効果的なあるいは等価なチャネル比に従ってプログラム可能となり得る。さらにチャネル寸法の絶対的なサイズは所望のプルアップ及びプルダウン電流駆動、伝播遅延、及びスイッチ速度を達成するように選ぶ

ことが可能であろう。

【0022】本発明の他実施例において、プルアップ電流の合流する第三プルアップトランジスタ変数は、電流集合PMOS第三プルアップトランジスタと第四プルアップトランジスタの間に分割される。第三プルアップトランジスタは、電流強化第二プルアップトランジスタと直列に接続されている。第四プルアップトランジスタは、スタティック電流を制限する第一プルアップトランジスタと直列に接続されている。プルアップ電流の合流する第三及び第四プルアップトランジスタは、拡大された第一ステージの出力ノードm1へ一次電流バスとともに並列に接続されている。この回路配置の有利な点は、第一プルアップトランジスタと集合第四プルアップトランジスタの間の節点容量が、早いダイナミックなスイッチ速度で減少するという点である。

【0023】本発明はCMOS及び、バイポーラとCMOSを連結したBICMOS回路の両方に適用可能である。他の実施例がCMOSとBICMOS回路の両方について述べられている。本発明の他の課題、特徴及び利点は以下の詳細と添付した図面に示されている。

【0024】

【実施例】本発明によるTTLからCMOSに移行する入力バッファ回路は図3に示された簡略化された等価回路図とともに、図2に図示されている。入力インバータステージP1、N1のためのプルアップトランジスタ回路P1は、並列及び直列に接続された複雑な多数のPMOSトランジスタネットワークP1R、P1E、P1Lと置き換えられている。スタティック電流を制限する第一プルアップトランジスタP1R及び電流強化第二プルアップトランジスタP1Eが、主電流バスとともに高電位パワーレール V_{cc} に並列に接続されている。プルアップ電流の合流する第三プルアップトランジスタP1Lは、主電流バスをもった第一インバータステージより並列に接続されたトランジスタP1R、P1Eと中間出力ノードm1へ直列に接続されている。

【0025】スタティック電流を制限している第一プルアップトランジスタP1R及びソース電流を連結する第三プルアップトランジスタP1Lのゲート制御ノードは、TTLデータ信号電圧レベルの入力 V_{in} に直接接続されている。プルダウントランジスタN1Lを伴ってプルアップトランジスタP1R及びP1Lは、第一ステージ出力プルアップ及びプルダウン回路を形成している。

【0026】プルアップ電流強化の第三プルアップトランジスタP1Eのゲート制御ノードは、この後述べられる制御回路I3、I4を通して入力 V_{in} に接続されている。制御回路は中間出力ノードm1においてLH遷移の間第二プルアップトランジスタP1EをONさせ、さらにノードm1において定常高データ信号Hの間トランジスタP1Eを保持する。プルアップトランジスタP1Eおよび制御回路インバータステージI3、I4は第一ス

テージブルアップ強化回路を形成する。

【0027】第一ブルアップトランジスタP1Rは図1の従来技術の回路のブルアップトランジスタP1と同等の比較的小さいチャネル幅、例えば 25μ をもち、続いて起こるスタティック電流 I_{ccr} を制限するため制限されたソース電流 I_{sr} のみを生成する。ゲート制御ノードは直接入力 V_{in} に接続されているため、TTL論理の高データ信号が入力 V_{in} に与えられた時、それはCMOS高電位パワーレール電圧 V_{cc} までは引き上げられない。不完全な停止は、第一ブルアップトランジスタP1R 10

を通して流れるスタティック電流 I_{ccr} に帰着する。
【0028】並列の電流強化ブルアップトランジスタP1Eは、ソース電流を増加させるため比較的大きい強化ソース電流 I_{se} を生成するよう比較的大きいチャネル幅、例えば 175μ を備えている。入力 V_{in} での信号が低電位レベル信号Lのとき、P1Eはソース電流の準備ができる。入力 V_{in} でのHL遷移に応じて、P1Eは大きい強化ソース電流を生成し、中間出力ノードm1におけるLH遷移をスピードアップさせる。直列に接続された第三ブルアップトランジスタP1Lは中間出力ノード 20 m1において大きい強化ブルアップ電流 I_{sl} を伝送するため、制限されたソース電流 I_{sr} と強化ソース電流 I_{se} を調節し連結するよう十分大きいチャネル幅、例えば 200μ が与えられている。

【0029】ブルダウン回路N1は、比較的大きいチャネル幅のNMOSブルダウントランジスタN1Lにより与えられる。ブルアップおよびブルダウン回路P1、N1のトランジスタはそれぞれについて以下のような大きさで作られている。全てのブルアップトランジスタが伝導状態にあるとき、ブルアップトランジスタネットワークP1R、P1E、P1Lの等価回路チャネル幅は、等価ブルアップ回路のチャネル幅とブルダウントランジスタN1Lのチャネル幅比が例えば $1/4$ で入力ステージでの比を与えるよう選ばれている。これは入力 V_{in} においてほぼ $1.5V$ の所望のTTLスイッチしきい値電圧レベルを確立する。表1に要約された例の中でブルアップネットワークP1R、P1E、P1Lと等価ブルアップ回路のチャネル幅は 100μ であり、一方ブルダウントランジスタN1Lのチャネル幅は 400μ である。

【0030】図2と図3の回路がブルアップ及びブルダウン回路P1、N1に対し、図1の従来技術回路より実質的に大きなチャネル幅を可能にすることは確かである。表1の例の中で入力インバータステージの電流駆動能力は大きい出力の負荷能力と速いスイッチ速度のために図1のその四倍である。

【0031】入力 V_{in} でのTTL高電位データ信号に応じて中間出力ノードm1での低電位データ信号Lが常である間、ダイナミック電流強化第二ブルアップトランジスタP1Eは、以下に述べられているように完全に停止している。その結果、不要なスタティック電流は 25 50

μ のチャネル幅の第一ブルアップトランジスタP1Rに限定される。ゆえに、不所望なスタティック電流は図1の回路と仕様が等しく限定される。従って、図2の回路に対しブルアップ及びブルダウン回路P1、N1の効果的チャネル幅比はスタティック電流状態の間 $1/16$ である。この結果を達成するため制御回路I3、I4の動作は表1の例に関して述べられている。

【表1】

表1
トランジスタのチャネル幅

P1R	25 μ
P1E	175 μ
P1L	200 μ
N1L	400 μ
P3	20 μ
N3	6 μ
P4	6-12 μ
N4	6-12 μ
P2	150 μ
N2	150 μ

【0032】PMOSTランジスタP1Eのゲートノードにおける制御回路は、二つのインバータ回路I3、I4から成る。インバータステージI3は、一对の相補形CMOSTランジスタP3、N3から成り、さらに、インバータステージI4は、相補形CMOSTランジスタP4、N4から成る。インバータステージCMOSTランジスタP3、N3、P4、N4の絶対チャネル幅のサイズは、速いスイッチのため小さく、その結果、強化第二ブルアップトランジスタP1Eは、入力 V_{in} に直接接続された第一及び第三ブルアップトランジスタP1R、P1Lと実質上協調して動作する。しかしながら、制御回路の相補形CMOSTランジスタのそれぞれのチャネル幅の比P3/N3は、第二ブルアップトランジスタP1Eとダイナミックな強化ブルアップ電流 I_{se} をONとOFFにスイッチするための、高い第二スイッチしきい値電圧レベルを与えるように選ばれている。表1の例のなかで、チャネル幅比P3/N3は、入力において第二しきい値電圧レベルを例えば $2.5V$ から $3.4V$ の範囲で形成するために歪められている。入力ノード V_{in} 及び出力ノード V_{out} でのデータ信号電圧レベルは、このようにほぼ $1.5V$ の低いTTL第一しきい値電圧でスイッチし、一方第二ブルアップトランジスタP1Eを通るブルアップ強化電流は、ほぼ $2.5V$ から $3.4V$ の高いCMOS第二しきい値電圧でスイッチする。

【0033】入力 V_{in} での低から高へのデータ信号の遷移LHとともに、大きいNMOSブルダウントランジスタN1LがONし、中間出力ノードm1でのHL遷移を、最後に出力 V_{out} でLH遷移を起こす。スイッチは図5のグラフに図示されているように、ほぼ $1.5V$ の

比較的低いTTL第一スイッチしきい値電圧レベルで起こる。プルダウントランジスタN1LがONするとスタティック電流の最大値への立ち上がりがある、なぜならプルアップ回路P1のプルアップトランジスタ網P1R, P1E, P1Lは入力 $V_{I\#}$ において前の低データ信号状態L以来すでにONしていたためである。入力で電圧レベルが上がるにつれ、入力 $V_{I\#}$ に直接接続されたゲートノードをもつ第一及び第三プルアップトランジスタP1R, P1Lは図5のグラフに示されているようにクローバー電流を減少させながらOFFし始める。

【0034】入力 $V_{I\#}$ でデータ信号レベルが比較的高いCMOS第二スイッチしきい値電圧レベルまで上がると、制御回路インバーステージI3, I4は、電流強化第二プルアップトランジスタP1EをOFFさせる。インバーステージI4のPMOSTランジスタP4は、ダイナミック電流強化プルアップトランジスタP1Eのゲートノードを高電位パワーレール V_{CCQ} のCMOS高電位レベルまで持ち上げる、それで完全にOFFする。トランジスタP1Eにはスタティック電流は流れない。図5のグラフに示されているように、第一プルアップトランジスタP1Rを通して流れるスタティック電流の、最小許容レベルまで下がったスタティック電流 I_{ccr} の最後の落ち込みが見られる。スタティック電流を制限するプルアップトランジスタP1Rのチャンネル幅寸法は、それゆえ回路の仕様に合うよう選択することができる。

【0035】図5のグラフは、図1の従来技術の回路と図2の新規な回路におけるクローバー電流の比較を示す。標準化された I_{ccr} の測定及び試験のために、3.4Vの高電位レベル信号Hが図5のグラフに示された I_{ccr} の測定のため入力 $V_{I\#}$ にかけられる。図1の回路における結果は、入力ステージプルアップトランジスタP1の二つの違ったチャンネル幅寸法値として示されている。図2の回路は比較的大きなチャンネル幅寸法(100 μ)のプルアップ回路P1によって供給された大ダイナミックスイッチ電流の利点と比較的小さいチャンネル幅寸法(25 μ)のプルアップ回路P1による制限されたスタティック電流の優位性を結合するという点は明らかである。インバーステージI3を通過する付加的な I_{ccr} の小さい成分である I_{pre} もまた図5のグラフに示されている。

【0036】図1と図2のそれぞれの回路の伝播遅延の比較は図4に示されている。図2の回路は、ほぼ10%のスイッチ速度の増加に伴い、少ない時間間隔の内にデータ信号のスイッチ遷移を起こし、完了させる。これはプルアップ回路P1とプルダウン回路N1のチャンネル幅比がほぼ100/400であること、つまり図1の従来技術より四倍大きいことと同等の増大したダイナミック電流駆動によって成し遂げられる。またスタティック電流 I_{ccr} は、図1の小さいチャンネル幅寸法のプルアップ

トランジスタP1と等しいレベルに制限される。

【0037】チャンネル寸法の絶対値、及びCMOSTランジスタの組のチャンネル幅比は、特殊な回路仕様に要求されているダイナミック電流とスタティック電流を達成するように決定可能であり、プログラム可能である。十分に大きいダイナミック電流と同様の制限されたスタティック電流 I_{ccr} を有する入力バッファ回路の例は表2に示されている。

【表2】

表2
チャンネル幅の値

P1R	25 μ
P1E	375 μ
P1L	400 μ
N1L	800 μ

【0038】図2及び図3の回路の中で、第一ステージプルアップとプルダウン回路P1, N1、及び第二ステージP2, N2は、別々の高及び低電位パワーレール V_{CCQ} , V_{CCP} とGNDQ, GNDPに接続されている。そのような分割パワーレールは任意であり、入力及び出力ステージの間の雑音を解消する。パワーレールは完全に分かれているであろう。または、択一的に、“静かな(quiet)”(V_{CCQ} , GNDQ)と“うるさい(noisy)”(V_{CCP} , GNDP)パワーレールそれぞれの分断は例えばスプリット鉛か鉛フレームを使ってなすことが可能である。(参照:U.S. Patent No.5,065,224 issued November 12, 1991.)

【0039】図2及び図3のCMOS入力バッファ回路は、CMOSとバイポーラトランジスタの両者を合体させたBICMOS回路仕様に变形可能である。図6の例の中で電流強化第二プルアップトランジスタP1Eは、バイポーラNPNトランジスタP1E(NPN)に置き換えられている。NPNバイポーラトランジスタP1E(NPN)の使用は、図6に示される制御回路I3, I4のうち一つのインバーステージI4の除去を可能にする。図3の入力バッファ回路の他のすべての素子はそのまま残っている。なぜならNPNバイポーラトランジスタP1E(NPN)はベースノードにおける低電位データ信号に応じてOFFするために、ただ一つの制御回路インバーステージI3をもった第一及び第三PMOSプルアップトランジスタP1R, P1Lと同位相で動作するからである。

【0040】図7のBICMOS回路変形例において、PMOS電流強化第二プルアップトランジスタP1Eは、PNPバイポーラトランジスタP1E(PNP)に置き換えられている。PNPバイポーラトランジスタはその動作の論理においてPMOSTランジスタと類似し、ベースノードにおいて低電位レベルデータ信号に応じてONする。制御回路I3, I4の両方のインバース

10

20

30

40

50

ステージはそれゆえ第一及び第三PMOSプルアップトランジスタP1R、P1Lと協調して動くPNPバイポーラトランジスタP1E（PNP）の動作のために維持されている。図7の回路の残りの部分は図3の入力バッファ回路と同じである。入力バッファ回路のさらにBICMOS回路への変形は、第二ステージまたは出力ステージCMOSTランジスタP2、N2がバイポーラプルアップ及びプルダウントランジスタに置き換えられ得ることである。

【0041】図2及び図3の入力バッファ回路の他の実施例は図8の部分回路図に図示されている。この例において、図2及び図3のPMOS第三プルアップトランジスタのプルアップ電流の合流変数は、図8に示される電流合流第三及び第四プルアップトランジスタP1LAとP1LBの間に分割されている。電流合流第三プルアップトランジスタP1LAは、電流強化第二プルアップトランジスタP1Eと直列に接続されている。電流合流第四プルアップトランジスタP1LBは、スタティク電流を制限する第一プルアップトランジスタP1Rと直列に接続されている。第三及び第四プルアップトランジスタP1LA、P1LBは中間出力ノードm1へ順に並列に接続されている。図8の回路構成の利点は、第一プルアップトランジスタP1Rと第四プルアップトランジスタP1LBの間の中間出力ノードm2における容量を減少させるということである。ノードm2でのこの減少した容量は中間出力ノードm1におけるダイナミックなスイッチ速度を改善する。

【0042】本発明は特定の実施例に関して述べられて来たが、以下の請求項の範囲内ですべての変形及び同等なものを包含するものである。

【図面の簡単な説明】

【図1】TTLからCMOSに移行する入力バッファ回路の従来技術の回路図である。

【図2】本発明に従うTTLからCMOSに移行する入力バッファ回路の詳細な回路図である。

【図3】図2のTTLからCMOSに移行する入力バッ

ファ回路の簡略化した回路図である。

【図4】図1と図2の回路の伝播遅延を比較したグラフである。

【図5】図1の回路での、プルアップ回路PMOSTランジスタにおける、チャネル幅値の違いによる比較を含んだ、スタティク電流 I_{cc1} 値での、入力スイッチしきい値電圧レベルを図1と図2の回路で比較したグラフである。

【図6】PMOS電流強化第二プルアップトランジスタP1EをバイポーラNPNトランジスタP1E（NPN）に置き換えた、図2と図3の入力バッファ回路のBICMOS回路への修正としての部分回路図である。

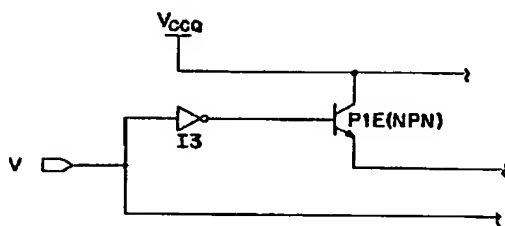
【図7】PMOSダイナミック電流強化第二プルダウントランジスタP1EをバイポーラPNPトランジスタP1E（PNP）に置き換えた図2と図3の入力バッファ回路のもう一つのBICMOS回路への修正としての部分回路図である。

【図8】プルダウン電流の合流する第三プルアップトランジスタP1Lの変数が並列に接続されたプルアップ電流の合流する第三及び第四トランジスタP1LA、P1LBの間で分割されるところの図2及び図3の入力バッファ回路の他の回路の修正を示す部分回路図である。

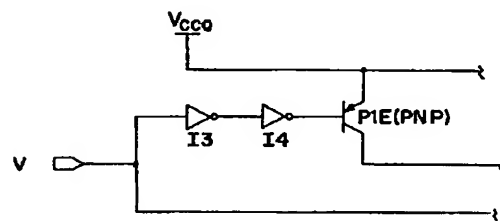
【符号の説明】

V_{in}	入力
V_{out}	出力
V_{ccq}	高電位パワーレール
GNDQ	低電位パワーレール
m1	中間出力ノード
m2	中間出力ノード
P1	プルアップトランジスタ
N1	プルダウントランジスタ
P1R	プルアップトランジスタ
P1E	強化プルアップトランジスタ
I3	制御回路
I4	制御回路

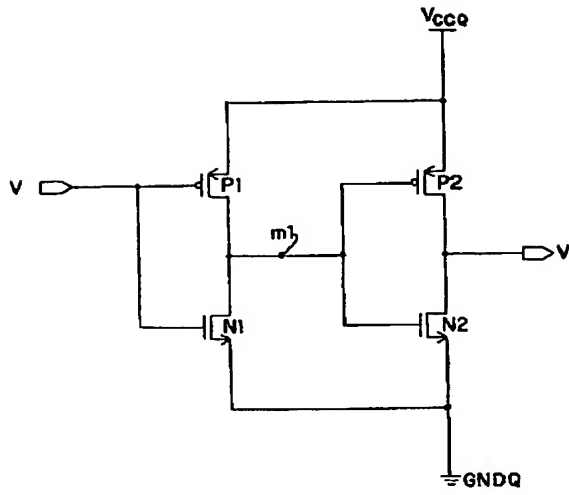
【図6】



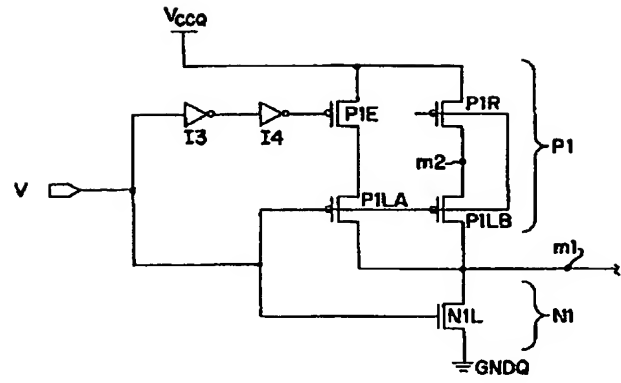
【図7】



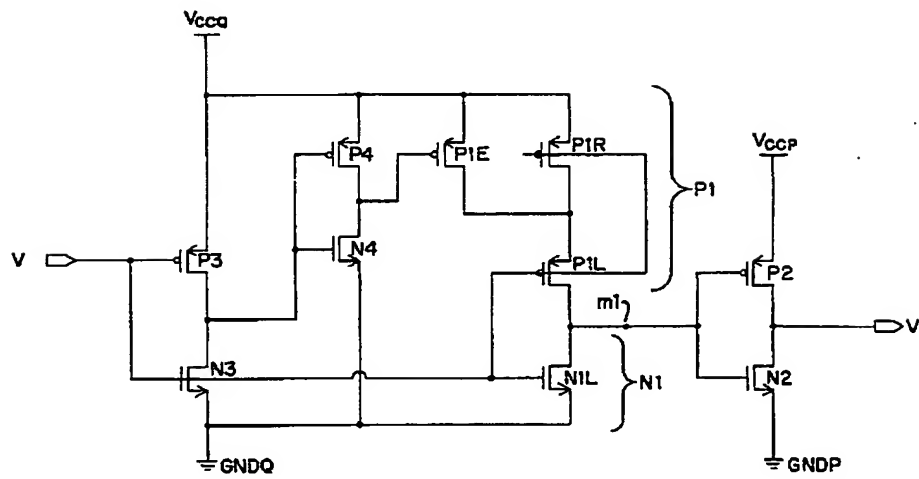
【図 1】



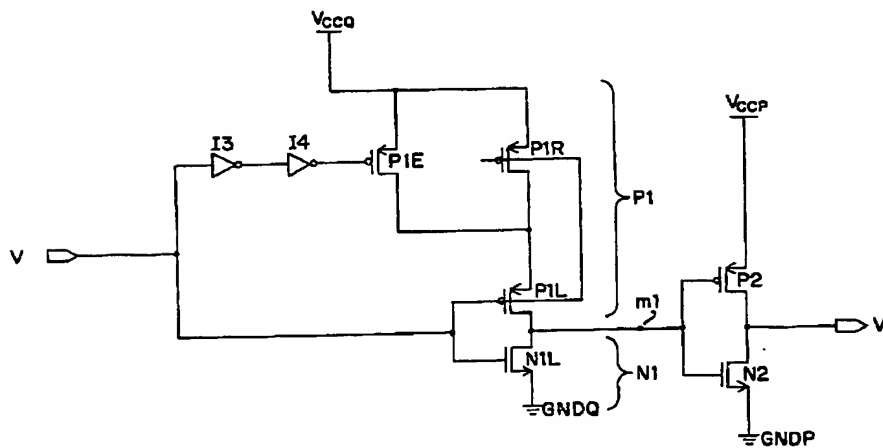
【図 8】



【図 2】

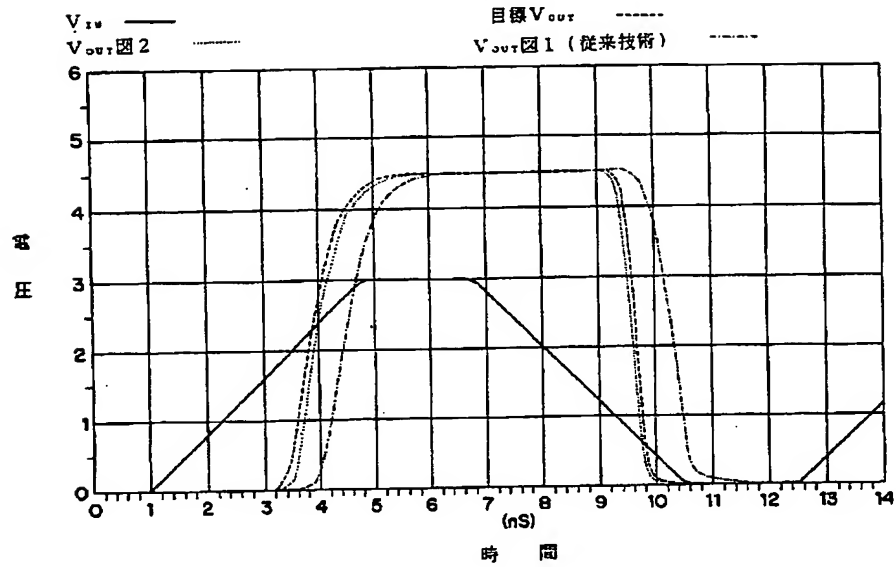


【図 3】



【図 4】

TTLからCMOSへ移行する入力回路の交流伝搬遅延



【図 5】

入力スイッチしきい値 & I_{ccT} 値